

# LAMINATED VARISTOR

Patent number: JP11273914  
Publication date: 1999-10-08  
Inventor: NAKAMURA KAZUYOSHI; KANEKO KAZUHIRO;  
KAWADA KUNIYOSHI; HATANO KENJIRO  
Applicant: MURATA MANUFACTURING CO  
Classification:  
- International: H01C7/112; H01C17/065; H01C17/28; H01C7/105;  
H01C17/06; H01C17/28; (IPC1-7): H01C7/12  
- european: H01C7/112; H01C17/065B2F4; H01C17/28B2B  
Application number: JP19980078894 19980326  
Priority number(s): JP19980078894 19980326

Also published as:

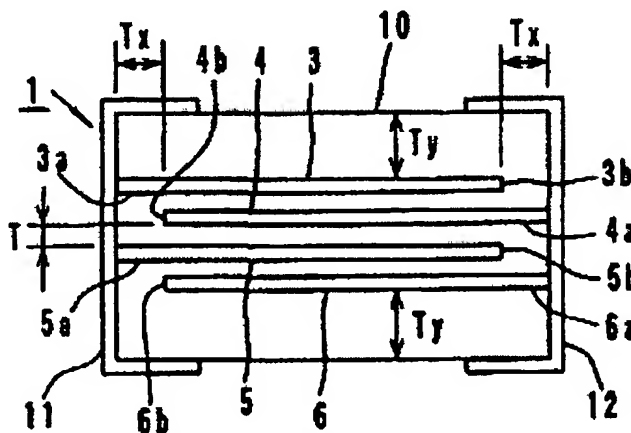


US6184769 (B1)  
DE19912851 (A1)

[Report a data error here](#)

## Abstract of JP11273914

**PROBLEM TO BE SOLVED:** To obtain a laminated varistor having small size and large surface resistance. **SOLUTION:** A sintered laminated 10 is formed by laminating varistor sheets 2 which carry varistor electrodes 3-6 on their surfaces upon another and integrally backing the laminate. In a laminated varistor, the intervals T among the varistor electrodes 3-6, the intervals Ty between the outermost varistor electrodes 3 and 6, and the intervals Tx between the edges 3b-6b of the varistor electrodes 3-6 and external electrodes 12 are set so as to satisfy one of the following three conditions, (A)  $1.5 \leq (Tx/T) \leq 3.0$ , (B)  $(Ty/T) \geq 1.0$ , and (C)  $1.5 \leq (Tx/T) \leq 3.0$  and  $(Ty/T) \geq 1.0$ .



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

(51) Int.Cl.<sup>6</sup>

H 0 1 C 7/12

識別記号

F I

H 0 1 C 7/12

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平10-78894

(22) 出願日 平成10年(1998) 3月26日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 中村 和敬

京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

(72) 発明者 金子 和広

京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

(72) 発明者 河田 都美

京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

(74) 代理人 弁理士 森下 武一

最終頁に続く

(54) 【発明の名称】 積層型バリスタ

(57) 【要約】

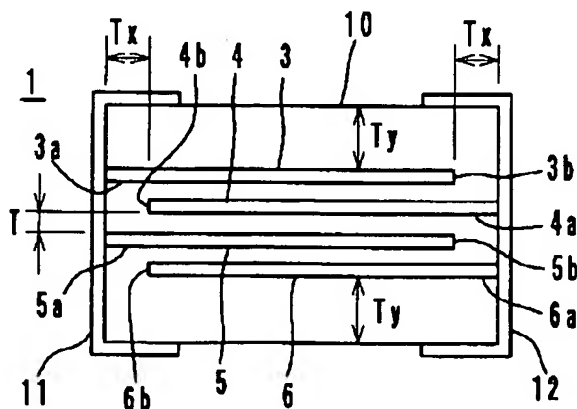
【課題】 小型でサージ耐量の大きい積層型バリスタを得る。

【解決手段】 バリスタ電極3～6を表面に設けたバリスタシート2を積み重ねて一体的に焼成し、焼結積層体10とする。バリスタ電極3～6の間隔をT、最外層に位置したバリスタ電極3、6と焼結積層体10の表面との間隔をTy、バリスタ電極3～6のエッジ3b～6bと外部電極11、12との間隔をTxとすると、積層型バリスタ1は以下の(A)～(C)の三つの条件のいずれか一つを満足するように設定されている。

条件(A)  $1.5 \leq (Tx/T) \leq 3.0$

条件(B)  $(Ty/T) \geq 1.0$

条件(C)  $1.5 \leq (Tx/T) \leq 3.0$  及び  
 $(Ty/T) \geq 1.0$



## 【特許請求の範囲】

【請求項1】 複数のバリスタ材料層と複数の内部電極を積み重ねて構成した焼結積層体を有し、前記バリスタ材料層と前記内部電極の積み重ね方向の前記内部電極間隔を $T$ 、前記積み重ね方向に対して直交する方向の前記内部電極のエッジと前記焼結積層体の端部に設けられた外部電極との間隔を $T_x$ としたとき、 $T_x$ は $T$ の1.5～3.0倍であることを特徴とする積層型バリスタ。

【請求項2】 複数のバリスタ材料層と複数の内部電極を積み重ねて構成した焼結積層体を有し、前記バリスタ材料層と前記内部電極の積み重ね方向において、前記内部電極間隔を $T$ 、最外層に位置した前記内部電極と前記焼結積層体表面との間隔を $T_y$ としたとき、 $T_y$ は $T$ の1.0倍以上であることを特徴とする積層型バリスタ。

【請求項3】 複数のバリスタ材料層と複数の内部電極を積み重ねて構成した焼結積層体を有し、前記バリスタ材料層と前記内部電極の積み重ね方向の前記内部電極間隔を $T$ 、前記積み重ね方向に対して直交する方向の前記内部電極のエッジと前記焼結積層体の端部に設けられた外部電極との間隔を $T_x$ としたとき、 $T_x$ は $T$ の1.5～3.0倍であり、かつ、前記バリスタ材料層と前記内部電極の積み重ね方向において、最外層に位置した前記内部電極と前記焼結積層体表面との間隔を $T_y$ としたとき、 $T_y$ は $T$ の1.0倍以上であることを特徴とする積層型バリスタ。

【請求項4】 バリスタ電圧が100V以上であることを特徴とする請求項1、請求項2又は請求項3記載の積層型バリスタ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、積層型バリスタ、特に、電子機器をサージ（異常電圧）から保護するために使用される積層型バリスタに関する。

## 【0002】

【従来の技術】近年、電子機器の小型化や信号処理の高速化により、電子部品の表面実装化や高周波化が進んでいる。ノイズ吸収部品である非直線抵抗体部品もその例外ではなく、酸化亜鉛（ $ZnO$ ）やチタン酸ストロンチウム（ $SrTiO_3$ ）を主成分とした表面実装タイプのバリスタが登場している。

## 【0003】

【発明が解決しようとする課題】ところで、バリスタの小型化、低背化を図る方法の一つとして、複数のバリスタ材料層と複数の内部電極を積み重ねて積層化する方法が提案されている。しかしながら、従来、100V以上のバリスタ電圧を必要とするバリスタの場合には、バリスタ材料層と内部電極の積み重ね方向の内部電極間隔の寸法を大きな値にしなければならず、積層化が困難であった。

【0004】しかしながら、近年のバリスタ材料層の改

良等により、内部電極間隔の単位厚み当たりのバリスタ電圧が上昇し、バリスタ電圧に関しては積層化が可能な状態になってきた。ところが、バリスタ電圧が上昇するとサージ耐量が急激に低下するという新たな問題が発生し、このため、積層型バリスタのサイズを小さくすることができず、単板型バリスタと同等のサイズのものしかできなかった。

【0005】そこで、本発明の目的は、小型でサージ耐量の大きい積層型バリスタを提供することにある。

## 10 【0006】

【課題を解決するための手段】以上の目的を達成するため、本発明に係る積層型バリスタは、複数のバリスタ材料層と複数の内部電極を積み重ねて構成した焼結積層体を有し、前記バリスタ材料層と前記内部電極の積み重ね方向の前記内部電極間隔を $T$ 、前記積み重ね方向に対して直交する方向の前記内部電極のエッジと前記焼結積層体の端部に設けられた外部電極との間隔を $T_x$ としたとき、 $T_x$ は $T$ の1.5～3.0倍であることを特徴とする。また、前記バリスタ材料層と前記内部電極の積み重ね方向において、最外層に位置した前記内部電極と前記焼結積層体の表面との間隔を $T_y$ としたとき、 $T_y$ は $T$ の1.0倍以上であることを特徴とする。あるいは、 $T_x$ が $T$ の1.5～3.0倍で、かつ、 $T_y$ が $T$ の1.0倍以上であることを特徴とする。ここに、積層型バリスタのバリスタ電圧は、例えば100V以上である。

## 【0007】

【作用】以上の構成により、高電圧のバリスタ電圧を確保した状態で大きなサージ耐量が得られると共に、サージ耐量が略一定に維持される。

## 30 【0008】

【発明の実施の形態】以下、本発明に係る積層型バリスタの実施形態について添付図面を参照して説明する。各実施形態は、バリスタ電圧が100V以上の積層型バリスタを例にして説明する。バリスタ電圧が100V未満の場合には、本願発明の作用効果が顕著に表れないからである。

【0009】[第1実施形態、図1～図7]図1に示すように、積層型バリスタ1は、バリスタ電極3～6をそれぞれ表面に設けたバリスタシート2と、予め導体を表面に設けない保護用バリスタシート2等で構成されている。

## 40

【0010】バリスタシート2は、酸化亜鉛（ $ZnO$ ）やチタン酸ストロンチウム（ $SrTiO_3$ ）等を主成分とした半導体材料からなる。第1実施形態の場合、バリスタシート2は以下に詳説する方法で成形した。 $ZnO$ を100としたとき、 $Bi_2O_3$ を1.0mol%、 $MnO$ を0.5mol%、 $CoO$ を0.5mol%、 $SiO_2$ を1.0mol%、 $B_2O_3$ を0.1mol%、 $Sb_2O_3$ を0.5mol%、 $Al_2O_3$ を100ppm配合し、ボールミルで20時間混合、粉碎した。次に、このスラ

## 50

リー状の原料を脱水し、乾燥した後、メッシュが60#のふるいで造粒した。この粉体を750℃の温度で2時間仮焼し、できた仮焼物を粗粉碎した後、ボールミルで再び混合、粉碎した。このスラリー状の原料を脱水し、乾燥して粉体を得た。このZnOを主成分とした粉体に溶剤とバインダーと分散剤を加え、厚さ50μmのバリスタグリーンシートを成形した。

【0011】バリスタ電極3、5は、バリスタシート2の表面に広面積に形成され、その引出し部3a、5aはバリスタシート2の左辺に露出している。バリスタ電極4、6は、バリスタシート2の表面に広面積に形成され、その引出し部4a、6aはバリスタシート2の右辺に露出している。バリスタ電極3～6はバリスタシート2を間に挟んで対向する。バリスタ電極3～6は、Ag、Cu、Ni、Cr、Pd、Pt及びその合金等からなり、スパッタリング法、真空蒸着法、あるいは印刷法等の方法にて形成される。第1実施形態では、バリスタ電極3～6をPtペーストを用いてスクリーン印刷法で形成した。

【0012】各シート2は積み重ねられ、500℃の温度で樹脂分を分解、飛散させた後、900℃の温度で3時間焼成され、図2に示すような焼結積層体10とされる。焼結積層体10の左右両端部には、それぞれ外部電極11、12が設けられている。外部電極11、12はAg、Ni、Ag-Pd等からなり、スパッタリング法や塗布焼付け法等の方法にて形成される。外部電極11にはバリスタ電極3、5の引出し部3a、5aが電気的に接続され、外部電極12にはバリスタ電極4、6の引出し部4a、6aが電気的に接続されている。

【0013】以上の構成からなる積層型バリスタ1において、図3に示すように、バリスタシート2の積み重ね方向のバリスタ電極3～6相互の間隔をT、最外層に位置したバリスタ電極3と焼結積層体10の上面との間隔をTy、同様に、最外層に位置したバリスタ電極6と焼結積層体10の下面との間隔をTyとする。さらに、バリスタシート2の積み重ね方向に対して直交する方向のバリスタ電極3、5のエッジ3b、5bと焼結積層体10の右側端部に設けられた外部電極12との間隔をTx、同様にバリスタ電極4、6のエッジ4b、6bと焼結積層体10の左側端部に設けられた外部電極11との間隔をTxとすると、バリスタ1は以下の(A)～(C)の三つの条件のいずれか一つを満足するように設定されている。

【0014】

条件(A)  $1.5 \leq (Tx/T) \leq 3.0$

条件(B)  $(Ty/T) \geq 1.0$

条件(C)  $1.5 \leq (Tx/T) \leq 3.0$  及び  $(Ty/T) \geq 1.0$

【0015】ここに、間隔Txが、外部電極12の折り返し部分とバリスタ電極3、5のエッジ3b、5bとの

間隔Tx' (図4参照)より大きい場合には、間隔Txとして間隔Tx'が採用される。間隔Txが、外部電極11の折り返し部分とバリスタ電極4、6のエッジ4b、6bとの間隔Tx'より大きい場合も同様である。

【0016】まず、バリスタ1が条件(A)を満足している場合について説明する。条件(A)は、バリスタ電極3～6のエッジ3b～6bと外部電極11、12との間隔Txが、バリスタ電極3～6の間隔Tの1.5～3.0倍であることを意味している。図5は、積層型バリスタ1のバリスタ電極3～6間隔Tを一定にして、バリスタ電極3～6のエッジ3b～6bと外部電極11、12との間隔Txを種々変更させることにより、Tx/Tの値が異なるバリスタ1を作成し、そのTx/Tに対するサージ耐量の関係を調べた結果を示すグラフである。

【0017】グラフより、Tx/Tが1.5～3.0の場合には、大きなサージ耐量が得られることがわかる。ところが、Tx/Tが1.5より小さい場合には、急速にサージ耐量が低下し、バリスタ1の最大サージ耐量の10%以下となる。この原因として、(1)バリスタ1を製造する際の焼成工程において、焼結積層体10の表面部のみがガス雰囲気等に晒され、焼結積層体10の表面部の特性がバリスタ電極3～6が配設されている焼結積層体10の内部と若干異なること、(2)さらに、各バリスタシート2の接合部(界面部)に発生する内部欠陥等が考えられる。

【0018】そして、Tx/Tが大きくなる(つまり、間隔Txが長くなる)につれて、バリスタ電極3～6の面積に関わらず、サージ耐量は低下してくる。これは、バリスタ電極3～6の抵抗成分による発熱や外部電極11、12の放熱性により、間隔Txが長くなるほどバリスタ1内部に熱がこもり、熱応力が生じるためであると考えられる。そして、Tx/Tが3.0を越えると、サージ耐量低下が顕著になり、実用上問題となる。

【0019】次に、バリスタ1が条件(B)を満足している場合について説明する。条件(B)は、最外層に位置したバリスタ電極3、6と焼結積層体10の表面との間隔Tyが、バリスタ電極3～6の間隔の1.0倍以上であることを意味している。図6は、積層型バリスタ1のバリスタ電極3～6の間隔Tを一定にして、バリスタ電極3、6と焼結積層体10の表面との間隔Tyを種々変更させることにより、Ty/Tの値が異なるバリスタ1を作成し、そのTy/Tに対するサージ耐量の関係を調べた結果を示すグラフである。グラフより、Ty/Tが1.0以上の場合には、大きなサージ耐量が得られることがわかる。ところが、Ty/Tが1.0より小さい場合には、サージ耐量が低下し、バリスタ1の最大サージ耐量の10%以下となる。この原因として、バリスタ1を製造する際の焼成工程において、焼結積層体10の表面部のみがガス雰囲気等に晒され、焼結積層体10の表面部の特性がバリスタ電極3～6が配設されている焼

積層層10の内部と若干異なること等が考えられる。

【0020】さらに、条件(C)は、前記条件(A)と条件(B)の両方を満足する場合である。図7は、 $T_x/T=2$ 、 $T_y/T=2$ としたときの、積層型バリスタ1のバリスタ電圧( $V_{1mA}$ )と破壊電圧の関係を調べた結果を示すグラフである。

【0021】積層型バリスタ1は、これらの条件

(A)、(B)、(C)のいずれか一つを満足することにより、高電圧のバリスタ電圧特性を確保した状態で大きなサージ耐量を得られると共に、サージ耐量が略一定に維持され、サージ耐量のばらつきを抑えることができる。

【0022】なお、図5、図6及び図7は、以下の手順及び方法で測定した結果を示したものである。まず、バリスタ1に1mAの電流と10mAの電流を流し、それぞれの電流値でのバリスタ1の外部電極11、12間の電圧を測定し、この測定値に基づいてバリスタ電圧( $V_{1mA}$ )を導出した。次に、サージを5分間隔で2回印加し、1分間放置した後、前述の方法でバリスタ電圧( $V_{1mA}$ )を導出する。サージはバリスタ1が破壊されるまで、徐々に電圧がアップされる。サージによってバリスタ1が破壊されると、その破壊時点でのサージ電流と破壊電圧が測定される。次に、破壊されたバリスタ1を垂直断面研磨した後、研磨されたバリスタ1の垂直断面を金属顕微鏡等を用いて観察し、間隔 $T_x$ 、 $T_y$ 、 $T$ の精密な寸法を測定した。こうして測定された結果から図5～図7に示したグラフが得られる。

【0023】〔第2実施形態、図8～図10〕図8に示すように、積層型バリスタ21は、バリスタ電極23、24をそれぞれ表面に設けたバリスタシート22と、フロート電極27を表面に設けたバリスタシート22と、予め導体を表面に設けない保護用バリスタシート22等で構成されている。

【0024】バリスタ電極23、24は、それぞれバリスタシート22の表面の左寄りの位置及び右寄りの位置に設けられている。バリスタ電極23の引出し部23aはバリスタシート22の左辺に露出し、バリスタ電極24の引出し部24aはバリスタシート22の右辺に露出している。フロート電極27はバリスタシート22の表面に広面積に形成されている。バリスタ電極23、24とフロート電極27はバリスタシート22を間に挟んで対向している。

【0025】各シート22は積み重ねられた後、一体的に焼成され、図9に示すような焼結積層体30とされる。焼結積層体30の左右両端部には、それぞれ外部電極31、32が設けられている。外部電極31にはバリスタ電極23の引出し部23aが電気的に接続され、外部電極32にはバリスタ電極24の引出し部24aが電気的に接続されている。フロート電極27は外部電極31、32のいずれにも接続されておらず、電気的に独立

している。

【0026】以上の構成からなる積層型バリスタ21において、図10に示すように、シート22の積み重ね方向のバリスタ電極23、24とフロート電極27の間隔を $T$ 、最外層に位置したバリスタ電極23、24と焼結積層体30の上面(あるいは下面)との間隔を $T_y$ 、シート22の積み重ね方向に対して直交する方向のフロート電極27のエッジ27a、27bと外部電極11、12との間隔を $T_x$ とすると、バリスタ21は以下の(A)～(C)の三つの条件のいずれか一つを満足するように設定されている。

【0027】

条件(A)  $1.5 \leq (T_x/T) \leq 3.0$

条件(B)  $(T_y/T) \geq 1.0$

条件(C)  $1.5 \leq (T_x/T) \leq 3.0$  及び  $(T_y/T) \geq 1.0$

【0028】そして、バリスタ21は、これらの条件(A)、(B)、(C)のいずれか一つを満足することにより、高電圧のバリスタ電圧を確保した状態で大きなサージ耐量を得られると共に、サージ耐量が略一定に維持され、サージ耐量のばらつきを抑えることができる。

【0029】〔他の実施形態〕なお、本発明に係る積層型バリスタは前記実施形態に限定するものではなく、その要旨の範囲内で種々に変更することができる。積層型バリスタを製造する場合、バリスタ電極を表面に設けたバリスタシート等を積み重ねた後、一体的に焼成する工法に必ずしも限定されない。バリスタシートは予め焼成されたものを用いてもよい。また、以下に説明する工法によって積層型バリスタを製造してもよい。すなわち、印刷等の手段によりペースト状のバリスタ材料にてバリスタ材料層を形成した後、そのバリスタ材料層の表面にペースト状の導電性材料を塗布してバリスタ電極を形成する。次に、ペースト状のバリスタ材料を前記バリスタ電極の上から塗布してバリスタ電極が内蔵されたバリスタ材料層とする。同様に、順に重ね塗りをしながら、積層構造を有するバリスタが得られる。

【0030】

【発明の効果】以上の説明で明らかなように、本発明によれば、内部電極のエッジと外部電極との間隔 $T_x$ を、内部電極間隔 $T$ の1.5～3.0倍に設定したので、高電圧のバリスタ電圧を確保した状態で大きなサージ耐量を得ることができ、従来の単板型バリスタと比較して小型化を図ることができる。さらに、最外層に位置した内部電極と焼結積層体表面との間隔 $T_y$ を、内部電極間隔 $T$ の1.0倍以上に設定することにより、サージ耐量が略一定に保持され、サージ耐量のばらつきが少なく、安定した積層型バリスタを得ることができる。従って、 $T_x$ を $T$ の1.5～3.0倍で、かつ、 $T_y$ を $T$ の1.0倍以上に設定することにより、大きなサージ耐量が安定して得られる積層型バリスタとなる。特に、バリスタ電

圧が100V以上の積層型バリスタの場合には、前記効果が顕著に表われる。

【図面の簡単な説明】

【図1】本発明に係る積層型バリスタの第1実施形態を示す分解斜視図。

【図2】図1に示した積層型バリスタの外観斜視図。

【図3】図2に示した積層型バリスタの垂直断面模式図。

【図4】図2に示した積層型バリスタの水平断面模式図。

【図5】 $T_x/T$ に対するサージ耐量の関係を示すグラフ。

【図6】 $T_y/T$ に対するサージ耐量の関係を示すグラフ。

【図7】バリスタ電圧に対する破壊電圧の関係を示すグラフ。

\*

【図8】本発明に係る積層型バリスタの第2実施形態を示す分解斜視図。

【図9】図8に示した積層型バリスタの外観斜視図。

【図10】図9に示した積層型バリスタの垂直断面模式図。

【符号の説明】

1, 21…積層型バリスタ

2, 22…バリスタシート

3~6, 23, 24…バリスタ電極

10, 30…焼結積層体

11, 12, 31, 32…外部電極

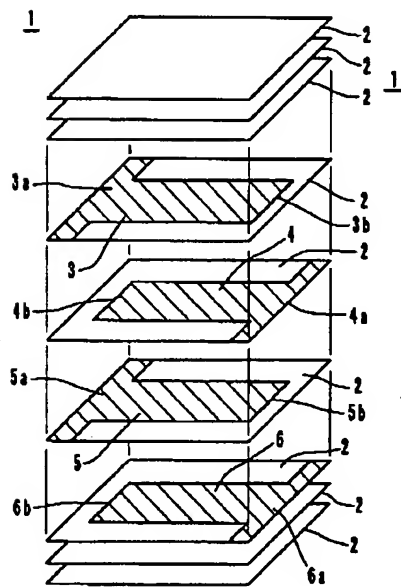
27…フロート電極

T…内部電極間隔

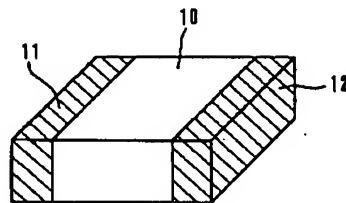
$T_x, T_x'$ …内部電極のエッジと外部電極との間隔

$T_y$ …最外層に位置した内部電極と焼結積層体表面との間隔

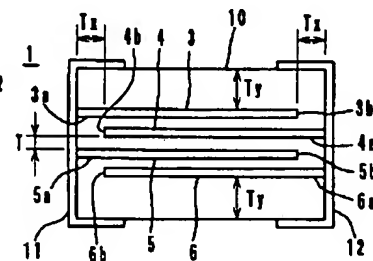
【図1】



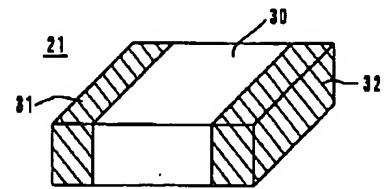
【図2】



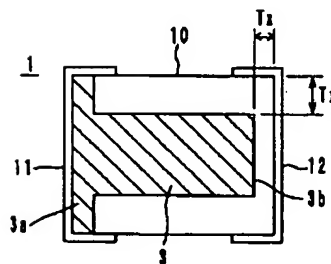
【図3】



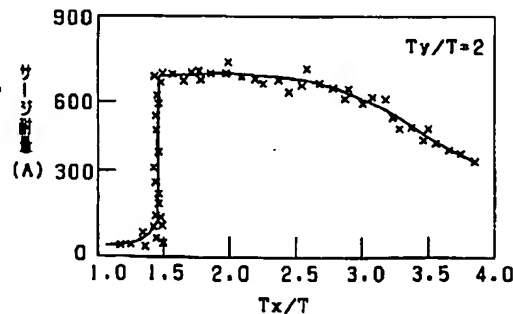
【図9】



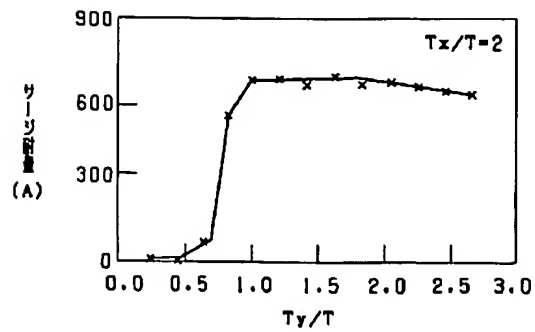
【図4】



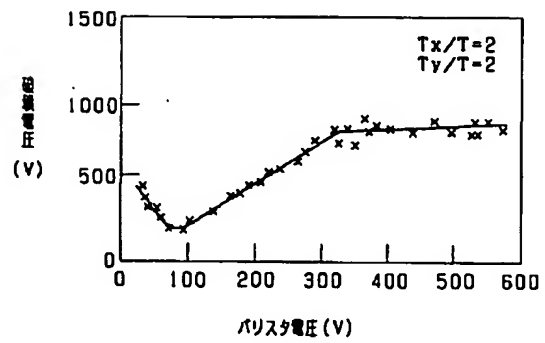
【図5】



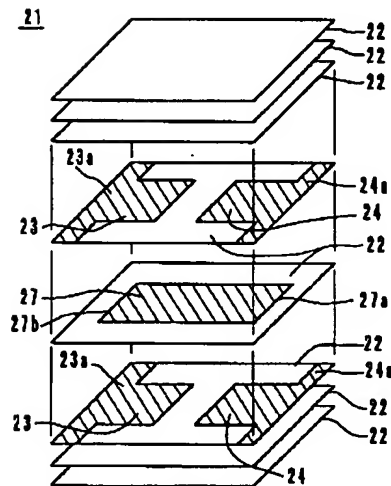
【図6】



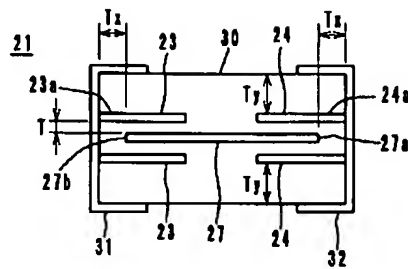
【図7】



【図8】



【図10】



フロントページの続き

(72)発明者 羽田野 研次郎  
京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内